

# Análisis e implementación de un sistema inteligente de integridad de trenes basado en tecnología de Internet de las Cosas

## Descripción

La rápida evolución de las tecnologías de comunicaciones y procesamiento embebido dentro del paradigma de Internet de las Cosas (en inglés Internet of Things, IoT) están posibilitando la promoción de sistemas que monitorización, control y gestión automática novedosos en diversos ámbitos de aplicación, como es el caso del entorno ferroviario. En tal sentido, uno de los principales temas de interés es el denominado *Smart Train Integrity*, que tiene como objetivo incrementar y optimizar de forma segura la capacidad, circulación y trazabilidad del material rodante en la infraestructura ferroviaria.

Este trabajo tiene como objetivo el estudio e implementación de un sistema inteligente de medición y detección de la composición e integridad de trenes mediante tecnología inalámbrica multisensorial de IoT, dentro del marco de un proyecto de investigación en el ámbito ferroviario.



---

Coordinador(es): Gabriel Mujica

e-mail de contacto: [gabriel.mujica@upm.es](mailto:gabriel.mujica@upm.es)

---

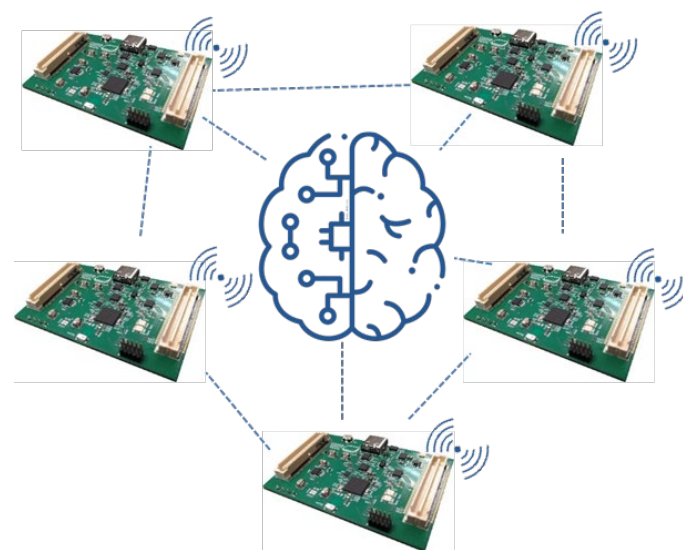
TFG/TFM

## Aplicación de Inteligencia Artificial para la gestión colaborativa de recursos multi-capa *Cloud-to-Edge* de Internet de las Cosas (IoT)

### Descripción

El paradigma de Internet de las Cosas (en inglés Internet of Things, IoT) engloba la integración de diversas tecnologías hardware, software y de comunicación inalámbricas para posibilitar la interacción entre dispositivos heterogéneos distribuidos en diversos ámbitos de aplicación, como las Smart Cities, sistemas inteligentes de transporte e Industria 4.0.

En tal sentido, en este trabajo se propone el análisis e implementación de algoritmos de optimización basados en IA para la gestión de recursos (procesamiento, comunicación, energía) de forma coordinada entre las diferentes capas de IoT, desde el *Cloud* hasta el *Edge*, con el fin de obtener un balance entre consumo energético reducido, optimización de la transmisión y procesamiento de datos entre los dispositivos participantes de la red, y la carga computacional tanto individual como colaborativa entre los mismos.



---

Coordinador(es): Gabriel Mujica

e-mail de contacto: [gabriel.mujica@upm.es](mailto:gabriel.mujica@upm.es)

---

# Design of an implanted device for Brain-Computer Interface

TFG/TFM

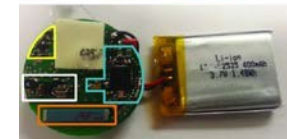
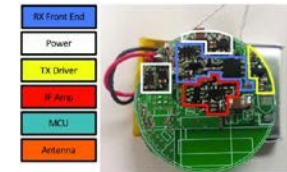
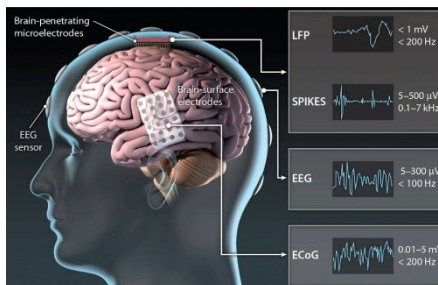
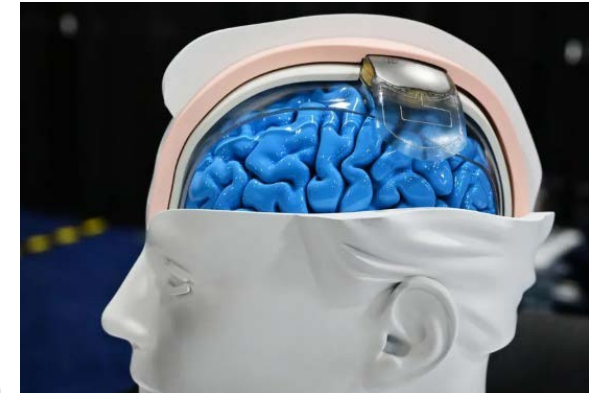
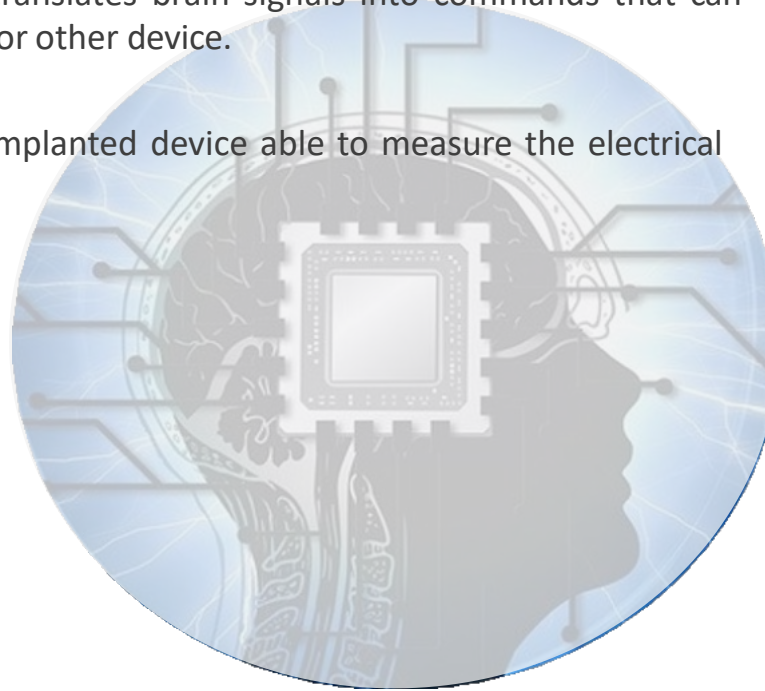
## Description

Brain-computer interface (BCI) is the communication between a device (implanted or not) which is able to measure the electromagnetic activity of the brain and an external device. BCI translates brain signals into commands that can control computers, prosthetics, or other device.

In this work the design of an implanted device able to measure the electrical brain activity is envisaged.

## Skills/requirements

- Analog electronics
- PCB design
- Microcontroller programming
- Motivation



Coordinador: Miguel Jiménez Carrizosa  
 e-mail de contacto: [miguel.jimenezcarrizosa@upm.es](mailto:miguel.jimenezcarrizosa@upm.es)

# Autonomous stimulation of the vagus nerve using a peripheral device

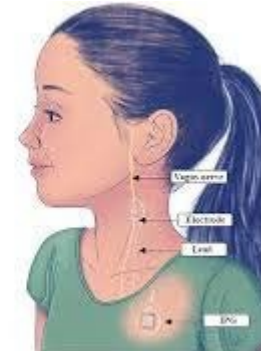
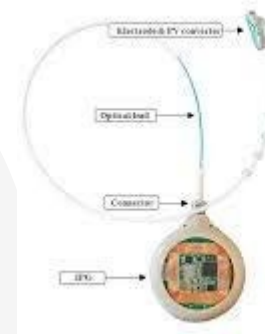
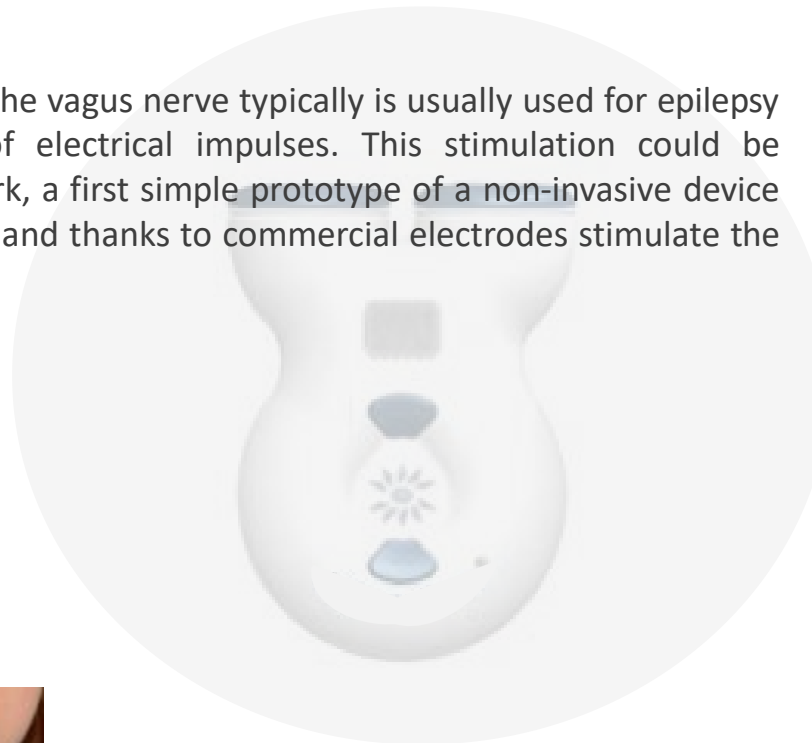
TFG/TFM

## Description

Autonomous stimulation of the vagus nerve typically is usually used for epilepsy or depression by means of electrical impulses. This stimulation could be implanted or not. In this work, a first simple prototype of a non-invasive device is expected to be developed and thanks to commercial electrodes stimulate the vagus nerve

## Skills/requirements

- Analog electronics
- PCB design
- Microcontroller programming
- Motivation




---

Coordinadores: Miguel Jiménez Carrizosa  
Regina Ramos  
e-mail de contacto: [miguel.jimenezcarrizosa@upm.es](mailto:miguel.jimenezcarrizosa@upm.es)  
[regina.ramos@upm.es](mailto:regina.ramos@upm.es)

---

## Desarrollo de un cargador inalámbrico de implantes biomédicos basado en un sistema de tres bobinas

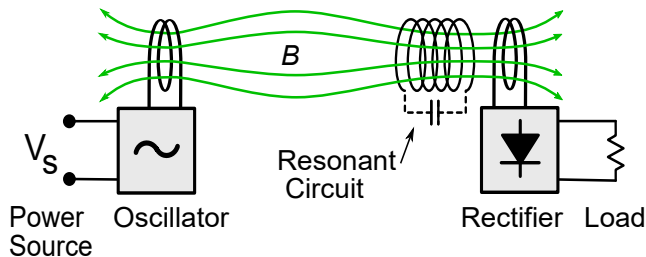
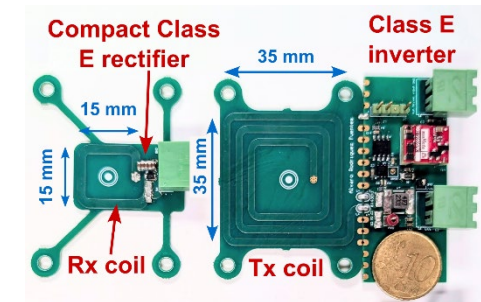
TFG/TFM

### Descripción

Los **cargadores inalámbricos**, presentes en móviles o vehículos eléctricos, están formados por dos **bobinas acopladas magnéticamente** en las que el campo magnético se distribuye por el aire, lo que dificulta la transmisión. En los **dispositivos médicos implantables**, la transmisión de energía debe ser eficiente para no **calentar los tejidos** que rodean el implante y **minimizar los tiempos de recarga**.

En este trabajo se propone **diseñar y optimizar un cargador inalámbrico** para un implante cerebral utilizando una **tercera bobina intermedia**, en resonancia con la frecuencia de transmisión. Esta nueva bobina permite orientar el campo magnético hacia el implante, mejorando la eficiencia del sistema y su tolerancia a variaciones de posición u orientación.

El alumno aprenderá a modelar bobinas en entornos biomédicos, diseñar placas de circuito impreso (PCB) y realizar pruebas experimentales del sistema desarrollado con equipamiento de laboratorio.



Coordinador(es): Miguel Jiménez y Álvaro Rodríguez  
 e-mail de contacto: [miguel.jimenezcarrizosa@upm.es](mailto:miguel.jimenezcarrizosa@upm.es),  
[alvaro.rofuentes@upm.es](mailto:alvaro.rofuentes@upm.es)

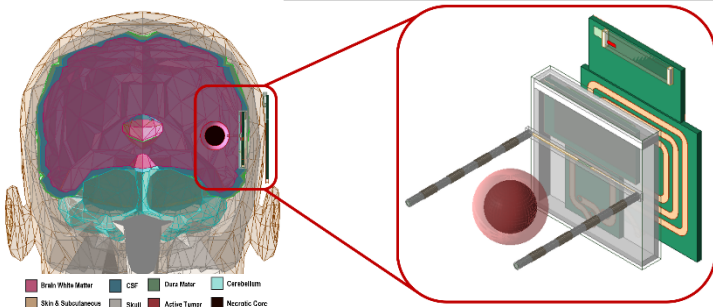
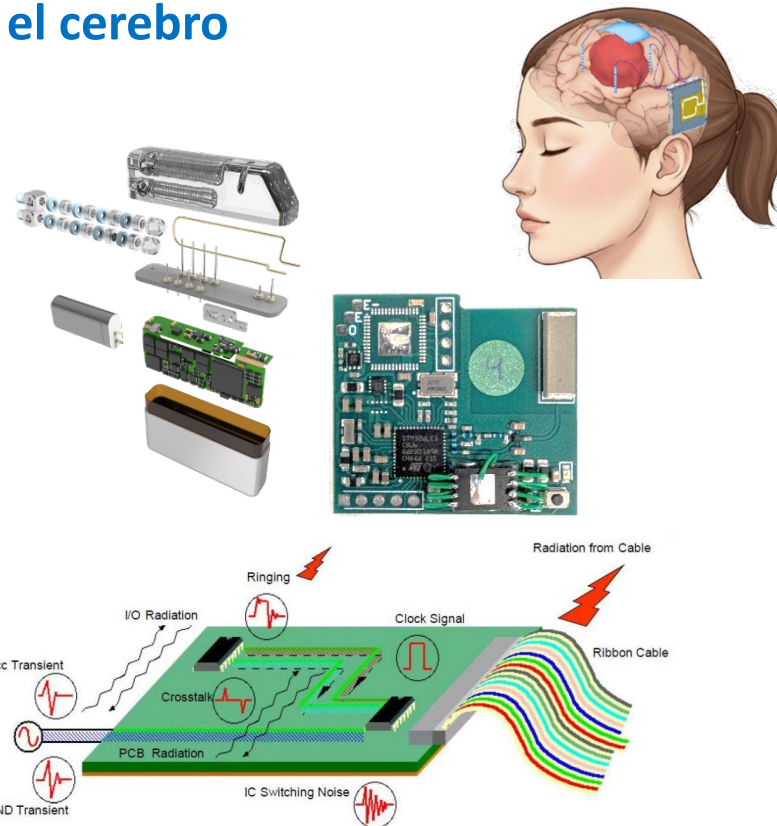
# Análisis experimental de compatibilidad electromagnética de un dispositivo médico activo implantado en el cerebro

## TFG/TFM

### Descripción

En el Centro de Electrónica Industrial se está desarrollando un implante cerebral que cuenta con un sistema de recarga inalámbrica, una antena de comunicación de datos y unos electrodos que miden señales cerebrales, a la vez que generan pulsos para tratar un tipo de tumor cerebral, el glioblastoma. Toda esta electrónica genera radiación electromagnética, que puede provocar interferencias entre dichos sistemas o sobrecalentamiento de los tejidos humanos.

Este trabajo se centra en analizar la compatibilidad electromagnética del dispositivo médico implantable para garantizar un funcionamiento correcto y seguro. Por un lado, se realizarán simulaciones que emulen las condiciones reales. Además, se realizará experimentación con equipamiento de laboratorio.



Brain White Matter    CSF    Dura Mater    Cerebellum  
Skin & Subcutaneous    Skull    Active Tumor    Necrotic Core

**Coordinador(es): Miguel Jiménez & Álvaro Rodríguez**  
**e-mail de contacto: [miguel.jimenezcarrizosa@upm.es](mailto:miguel.jimenezcarrizosa@upm.es), [alvaro.rofuentes@upm.es](mailto:alvaro.rofuentes@upm.es)**

# Desarrollo de un generador de señales para pruebas oncológicas

**TFG/TFM**

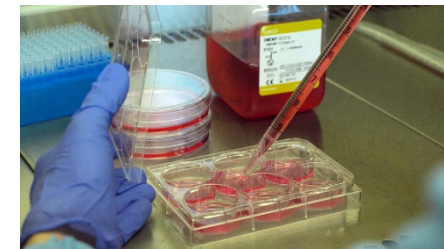
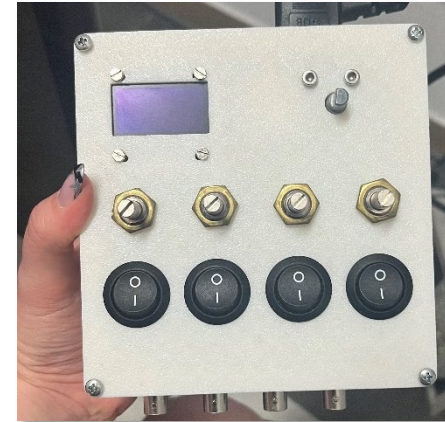
## Descripción

En este trabajo se pretende desarrollar un generador de señales que servirá para abastecer al laboratorio clínico del Hospital de La Princesa en sus ensayos oncológicos.

El trabajo partirá de una versión beta del generador ya diseñada.

El objetivo será implementar varias mejoras tales como:

- Interfaz digital
- Aumentar el número de canales
- Inclusión de señales periódicas



---

Coordinador(es): Miguel Jiménez & Álvaro Rodríguez  
e-mail de contacto: [miguel.jimenezcarrizosa@upm.es](mailto:miguel.jimenezcarrizosa@upm.es),  
[alvaro.rofuentes@upm.es](mailto:alvaro.rofuentes@upm.es)

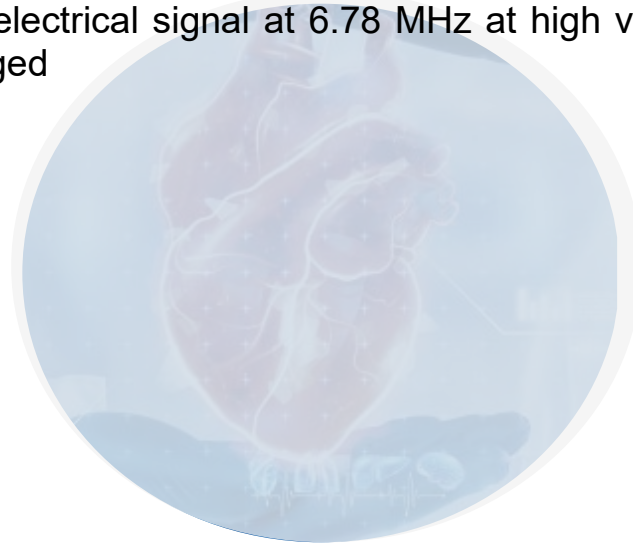
---

# Design of a power and communication unit for a external medical device

## TFG/TFM

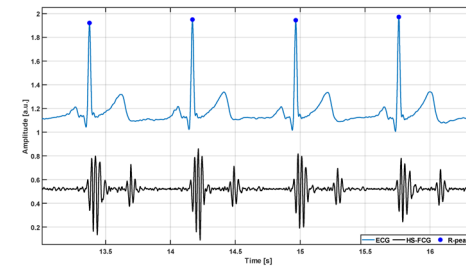
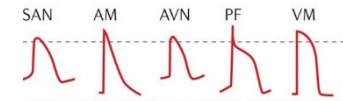
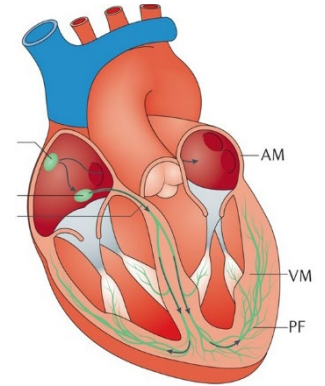
### Description

In this work a power source to feed a medical device for cardiac patients able to generate alternative electrical signal at 6.78 MHz at high voltage values (100-200 V) is envisaged



### Skills/requirements

- Analog electronics
- PCB design
- Microcontroller programming
- Motivation



**Coordinador(es): Miguel Jiménez & Álvaro Rodríguez**  
 e-mail de contacto: [miguel.jimenezcarrizosa@upm.es](mailto:miguel.jimenezcarrizosa@upm.es),  
[alvaro.rofuentes@upm.es](mailto:alvaro.rofuentes@upm.es)

**TFG/TFM**

## We-LIG - Wearable Electronics basados en Grafeno Inducido por Láser en Textiles Avanzados

### Descripción

¿Te interesa la electrónica vestible, los materiales avanzados y la experimentación real en laboratorio?

Este trabajo ofrece la oportunidad de desarrollar electrónica vestible de nueva generación directamente sobre tejidos, utilizando técnicas de fabricación avanzada para crear interconexiones, sensores y electrodos funcionales sin recurrir a componentes externos convencionales. En colaboración entre CEIMM e ISOM, el estudiante trabajará desde la fabricación y caracterización de textiles grafenizados por láser hasta su integración en una chaqueta inteligente real con LEDs, culminando en una prueba de concepto experimental con claro potencial de publicación científica y continuidad investigadora

**POLITÉCNICA**UNIVERSIDAD  
POLITÉCNICA  
DE MADRID**ISOM**

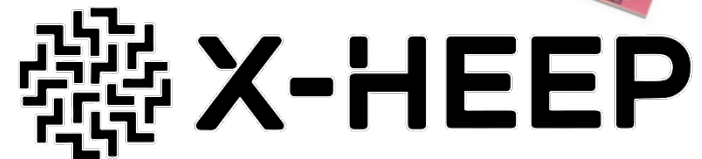
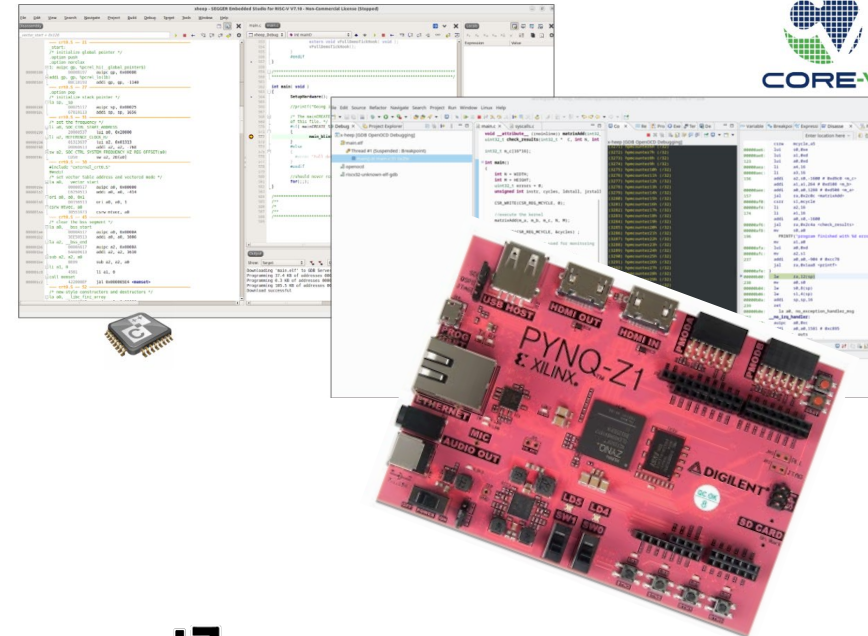
Coordinador(es): Jose Miranda, Kyoung Ryu  
e-mail de contacto: [jose.miranda@upm.es](mailto:jose.miranda@upm.es)

TFG/TFM

## Integración de un IDE para chips heterogéneos

### Descripción

Este Trabajo de Fin de Grado/Máster tiene como objetivo la integración de un Entorno de Desarrollo Integrado (IDE) para chips heterogéneos, facilitando la programación y depuración en arquitecturas que combinan procesadores basados en RISC-V. El proyecto se centrará en la selección y adaptación de un entorno compatible con la plataforma X-HEEP, permitiendo un flujo de trabajo optimizado para el desarrollo de software embebido. Además, se implementarán herramientas de automatización para la compilación, carga y depuración de código, asegurando la compatibilidad con hardware específico como la PYNQ-Z1. La validación del entorno incluirá pruebas con aplicaciones reales, mejorando la accesibilidad y eficiencia del desarrollo en sistemas heterogéneos.



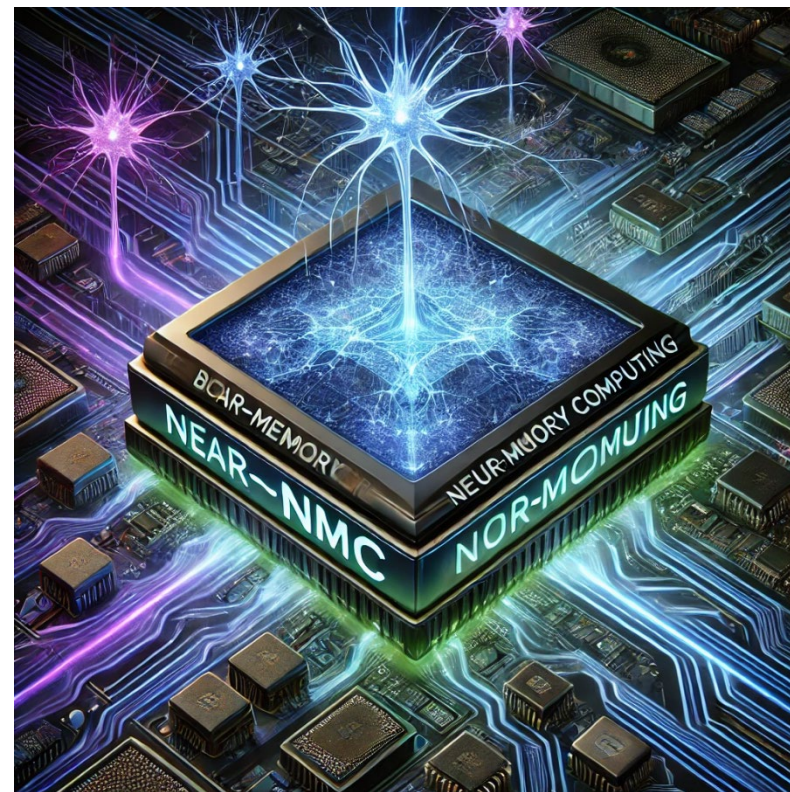
Coordinador(es): Jose Miranda  
e-mail de contacto: jose.miranda@upm.es

TFG/TFM

## Exploración bio-inspirada de arquitecturas Near-Memory-Computing

### Descripción

Este Trabajo de Fin de Grado/Máster se enfoca en la exploración de arquitecturas Near-Memory Computing (NMC) para neuromorphic computing, con el objetivo de mejorar la eficiencia en el procesamiento de eventos neuronales. El proyecto investiga una organización jerárquica de memoria, donde los bancos de memoria se activan de manera dinámica en función de los eventos, complementado con almacenamiento en caché a nivel de registro para reducir la latencia y el consumo energético. También, se explorará el diseño de un NMC-Based Spike Router, optimizando la transferencia y distribución de los picos neuronales en arquitecturas embebidas.



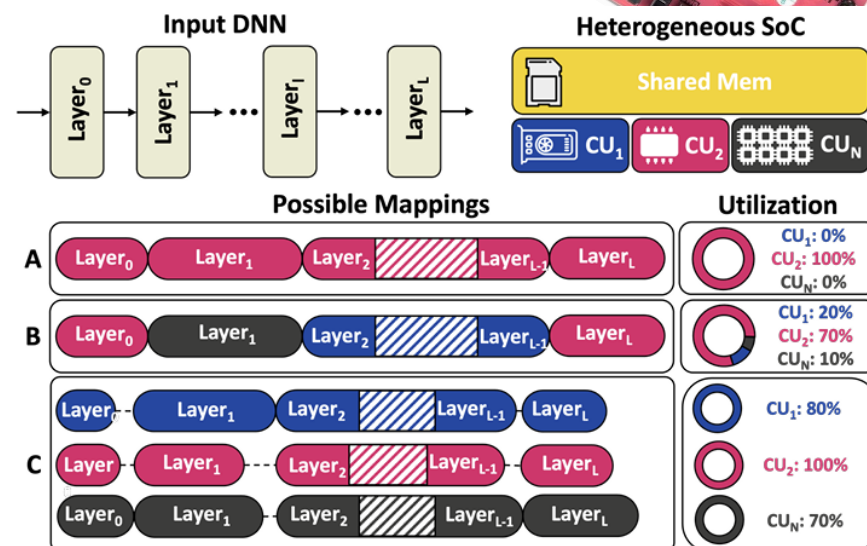
Coordinador(es): Jose Miranda  
e-mail de contacto: jose.miranda@upm.es

# Automatización del diseño para arquitecturas multi-acelerador en SoCs heterogéneos.

TFG/TFM

## Descripción

Este Trabajo de Fin de Grado/Máster aborda la automatización del diseño de arquitecturas heterogéneas en SoC mediante la integración de múltiples aceleradores especializados. El objetivo es combinar un acelerador NMC (Near-Memory Computing) con una CGRA (Coarse-Grained Reconfigurable Architecture) y un tercer acelerador, idealmente una matriz sistólica, para optimizar el rendimiento en aplicaciones de alto procesamiento. Se explorarán diferentes configuraciones arquitectónicas, evaluando el impacto en términos de área, consumo energético y eficiencia en una aplicación de extremo a extremo. Para acotar el alcance del proyecto, se validará el diseño en una aplicación biomédica, permitiendo demostrar los beneficios de esta integración en un caso de uso real.



Coordinador(es): Jose Miranda

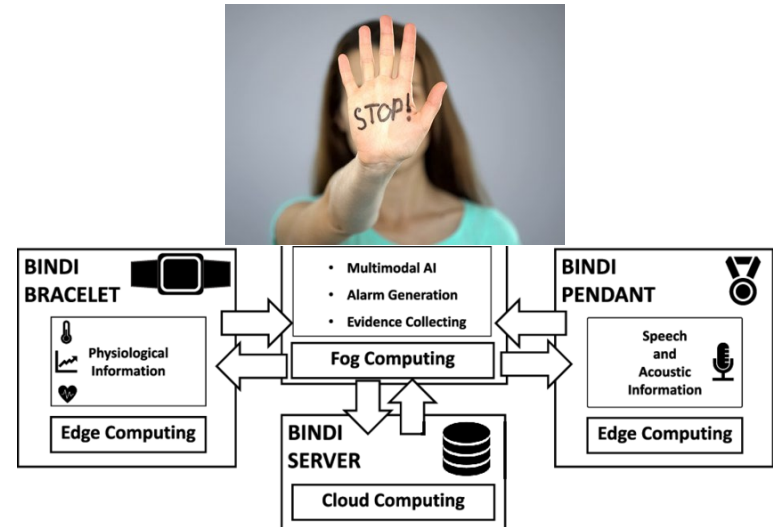
e-mail de contacto: jose.miranda@upm.es



# **TFG/TFM** *Continual Learning* para sistemas embebidos aplicados a la detección de la violencia de género

## Descripción

Este Trabajo de Fin de Grado/Máster se centra en la aplicación de continual learning utilizando WELIVE, con el objetivo de evaluar su impacto en entornos relevantes. Partiendo del framework existente basado en WEMAC, el proyecto busca validar su funcionamiento en una base de datos realista, analizando cómo la adaptación continua del modelo de inteligencia mejora el rendimiento y la generalización en escenarios dinámicos. Se explorarán métricas clave como la estabilidad, la plasticidad y la capacidad de aprendizaje incremental, con el fin de optimizar la integración del framework en aplicaciones prácticas.



Coordinador(es): Jose Miranda

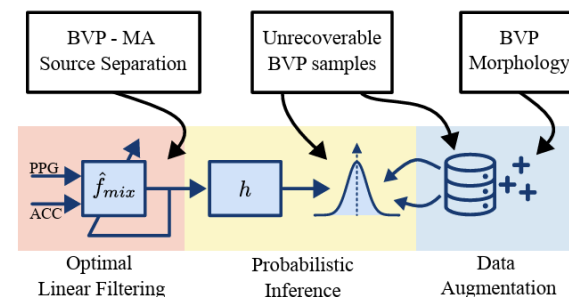
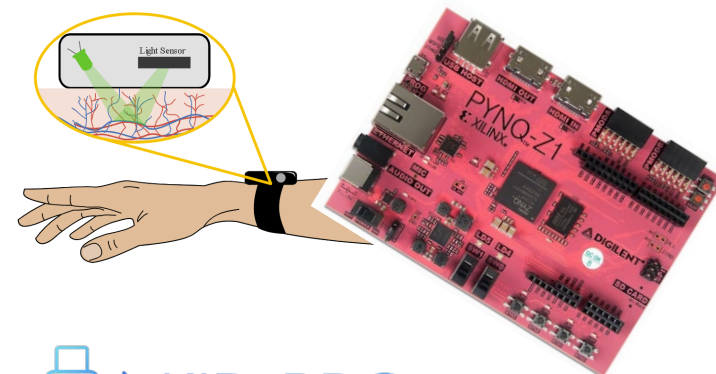
e-mail de contacto: jose.miranda@upm.es

# Despliegue de sistema robusto para la obtención del ritmo cardiaco en plataforma RISC-V

TFG/TFM

## Descripción

Este Trabajo de Fin de Grado/Máster se centra en la inferencia probabilística dentro del marco del proyecto KID-PPG de EPFL. El objetivo es mejorar la modelización e interpretación de señales fisiológicas mediante la integración de métodos probabilísticos para la estimación de incertidumbre y el aprendizaje adaptativo. El proyecto explorará enfoques como la inferencia bayesiana, métodos variacionales y modelos gráficos probabilísticos para aumentar la robustez y fiabilidad del monitoreo fisiológico basado en PPG. La validación incluirá pruebas en bases de datos reales para evaluar el impacto de estos modelos en la precisión de clasificación y la toma de decisiones en aplicaciones biomédicas.



Coordinador(es): Jose Miranda

e-mail de contacto: [jose.miranda@upm.es](mailto:jose.miranda@upm.es)

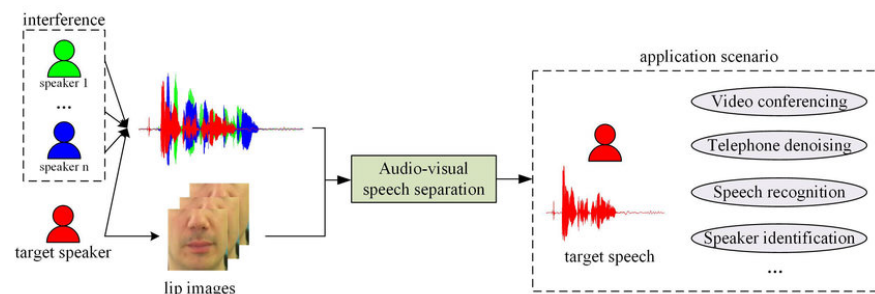
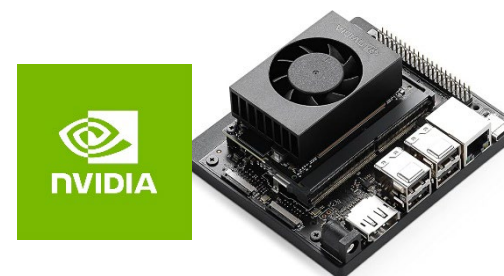


TFG/TFM

## Audio-Visual Speech Separation and Recognition Pipeline at the Edge

### Descripción

Este Trabajo de Fin de Grado/Máster se basa en la implementación en la plataforma NVIDIA Orin de un flujo end-to-end de un sistema para *Audio-Visual Speech Separation and Recognition*, con el objetivo de explorar y optimizar métodos de cuantización para mejorar la eficiencia y el rendimiento del modelo. Se investigarán técnicas avanzadas de cuantización que permitan reducir el consumo de memoria y aumentar la velocidad de inferencia sin comprometer significativamente la precisión. El estudio incluirá comparaciones entre distintos enfoques, como cuantización post-entrenamiento y cuantización entrenable, evaluando su impacto en el reconocimiento automático de voz en entornos ruidosos. La validación se llevará a cabo mediante experimentos en hardware real, garantizando la aplicabilidad de las optimizaciones en escenarios prácticos.



# VERSES

# ETH zürich

Coordinador(es): Jose Miranda

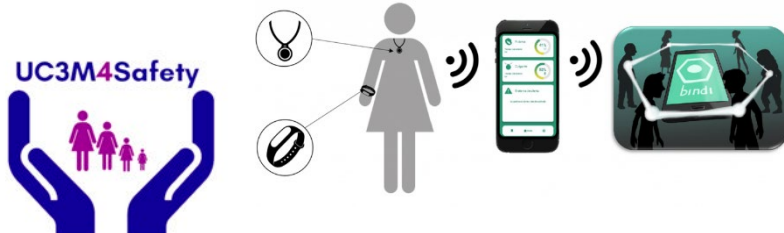
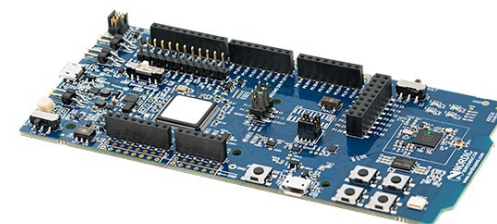
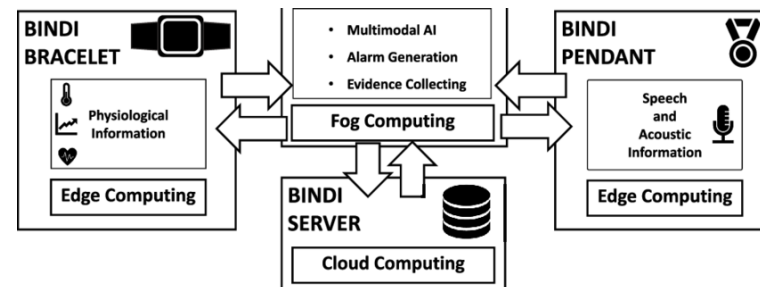
e-mail de contacto: [jose.miranda@upm.es](mailto:jose.miranda@upm.es)

# MAS-ULP: A Multimodal Sampling Aware System for Ultra-Low-Power Applications

TFG/TFM

## Descripción

Este Trabajo de Fin de Grado/Máster tiene como objetivo el desarrollo de un sistema multimodal capaz de ajustar dinámicamente la frecuencia de muestreo y otros parámetros de sus sensores en función del contexto. El sistema integra sensores de PPG, GSR, temperatura de la piel y acelerómetro, permitiendo una optimización del consumo energético sin comprometer la calidad de la información recogida. Se explorarán estrategias de muestreo adaptativo y algoritmos de control inteligentes para garantizar un equilibrio entre eficiencia energética y precisión en la adquisición de datos fisiológicos y de movimiento. La validación se realizará en escenarios reales para evaluar el impacto del sistema en aplicaciones de monitorización continua y dispositivos wearables *ultra-low-power*.



Coordinador(es): Jose Miranda  
e-mail de contacto: jose.miranda@upm.es

**TFG/TFM**

## Chaqueta inteligente con textiles de última generación

### Descripción

Este Trabajo de Fin de Grado/Máster se centra en el desarrollo de un chaleco inteligente con textiles de última generación, combinando electrónica flexible y materiales avanzados para crear una prenda funcional y adaptable. El proyecto parte de una implementación inicial que ya cuenta con LEDs, una placa principal y cables textiles conductores, con el objetivo de ampliar sus funcionalidades mediante la integración de sensores, actuadores y algoritmos de control inteligentes. Se explorarán estrategias para mejorar la eficiencia energética, la comunicación inalámbrica y la interactividad del sistema, evaluando su aplicación en ámbitos como la salud, el deporte o la seguridad laboral. La validación incluirá pruebas de funcionalidad y usabilidad para garantizar su viabilidad en escenarios reales.

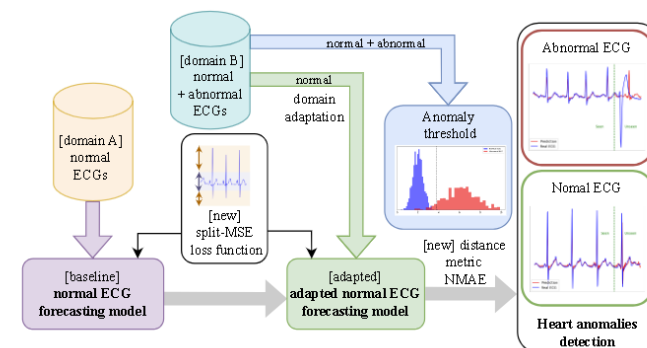
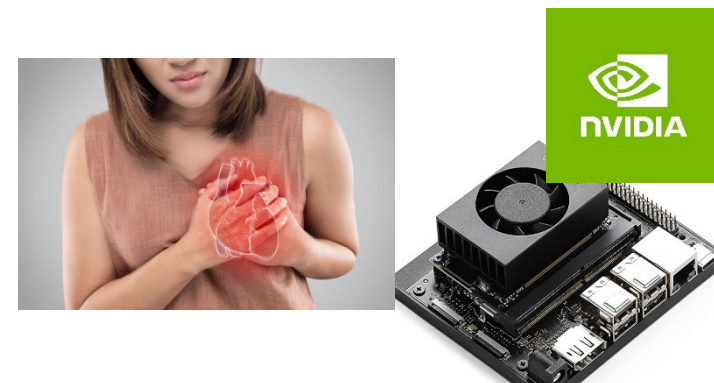


## TFG/TFM

## Despliegue y optimización de FADE, un Sistema para la predicción de anomalías en trazas de ECG

### Descripción

Este Trabajo de Fin de Grado/Máster se centra en la implementación optimizada del modelo FADE en la plataforma Orin de NVIDIA, con el objetivo de mejorar la eficiencia y rendimiento del sistema de detección de anomalías en señales ECG. FADE es un modelo basado en aprendizaje profundo auto-supervisado, diseñado para la predicción de señales ECG normales y la detección de anomalías sin necesidad de grandes conjuntos de datos etiquetados. En este proyecto, se explorarán estrategias para la optimización del modelo en hardware embebido, incluyendo técnicas de cuantización, paralelización y optimización de memoria, asegurando su viabilidad en aplicaciones de monitorización cardíaca en tiempo real. La validación se realizará mediante experimentos en la plataforma Orin, evaluando el impacto de estas optimizaciones en términos de precisión, consumo energético y latencia de inferencia.



UNIVERSIDAD DE MÁLAGA

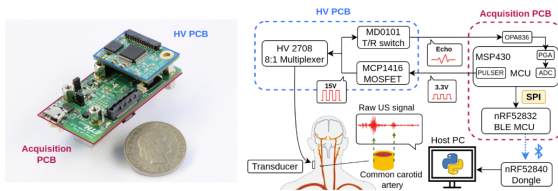
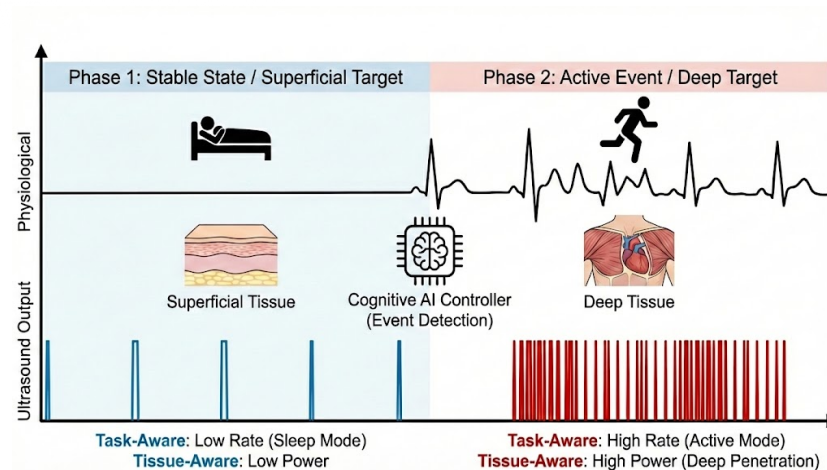
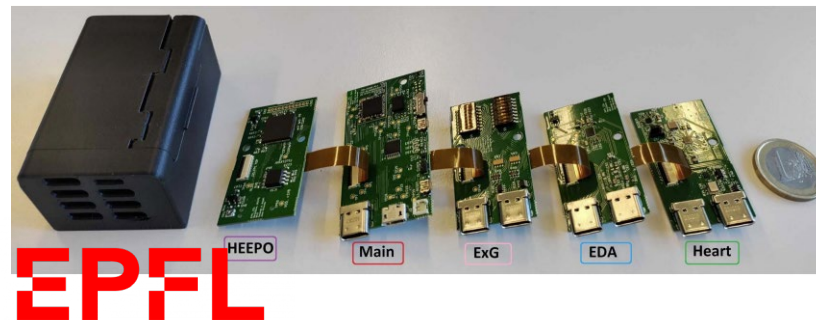
# EPFL

Coordinador(es): Jose Miranda  
e-mail de contacto: jose.miranda@upm.es

# Diseño de sensor de Ultra-sonidos para la adquisición de información fisiológica y su integración dentro de VersaSens TFG/TFM

## Descripción

Este Trabajo Fin de Grado/Máster tiene como objetivo el diseño e integración de un sensor de ultrasonidos para la adquisición de información fisiológica, como el pulso o flujo sanguíneo en arterias superficiales, dentro del sistema modular VersaSens desarrollado en EPFL. A partir de un sistema de referencia de ETH Zürich, se desarrollará una solución adaptada para sistemas embebidos, incluyendo el diseño electrónico del módulo, la interfaz con el sistema principal y el procesamiento básico de señales ultrasónicas. El proyecto ofrece una experiencia completa en diseño de hardware, adquisición biomédica y programación embebida, con posibilidad de validación experimental y colaboración internacional.



Coordinador(es): Jose Miranda  
 e-mail de contacto: jose.miranda@upm.es



**TFG/TFM**

## NN4GateMate: Optimización del flujo RTL-to-bitstream para el despliegue eficiente de inferencia deep learning sobre FPGAs GateMate

### Descripción

¿Te interesa la el diseño microelectrónico y la inteligencia artificial?

Este TFG/TFM se centra en el estudio y la mejora de distintas etapas del flujo RTL-to-bitstream sobre FPGA GateMate, con el objetivo de facilitar y optimizar el despliegue de aceleradores de inferencia deep learning cuantizada. Partiendo del ecosistema abierto de GateMate, basado en Yosys, nextpnr y openFPGALoader, el estudiante analizará qué etapas del flujo tienen mayor impacto en área, frecuencia, consumo de memoria y tiempo de compilación, proponiendo mejoras orientadas a operadores típicos de redes neuronales, como MACs, convoluciones, capas fully-connected, buffers y reducciones. GateMate resulta especialmente interesante porque su arquitectura incorpora elementos programables con soporte eficiente para lógica aritmética y multiplicadores, además de BRAMs flexibles y un flujo completamente accesible para experimentación académica.



---

Coordinador(es): Jose Miranda, Alfonso Rodríguez  
e-mail de contacto: [jose.miranda@upm.es](mailto:jose.miranda@upm.es)

---

# EPFL

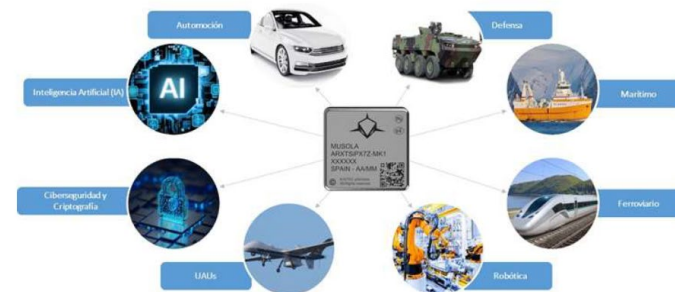
## TFMs becados con contrato con empresa

### Batch de Trabajos Fin de Máster sobre la plataforma MUSOLA

### (MUSOLA Advanced Systems Batch: arquitecturas heterogéneas, aceleración hardware y sistemas embebidos avanzados)

## Descripción

Este batch de TFM's MUSOLA se orienta a que cada estudiante desarrolle un bloque o caso de uso específico dentro de una estrategia común de plataforma, explotando distintas capacidades del CoC y contribuyendo a un ecosistema compartido de hardware, software, drivers, IPs, flujos de integración y metodologías de validación. Esto es coherente con el planteamiento ya recogido en el documento base, donde los TFM's se estructuran sobre MUSOLA como base tecnológica común y se apoyan en arquitecturas heterogéneas basadas en Zynq, integración hardware/software y validación experimental sobre hardware real. Los TFM's mantienen consistencia tecnológica y reutilización de componentes, pero cada uno puede especializarse en una línea concreta de desarrollo, como aceleración hardware, Edge AI, comunicaciones, seguridad, procesamiento de señal o validación de sistemas embebidos avanzados.



Coordinador(es): Jose Miranda, Andrés Otero  
e-mail de contacto: [jose.miranda@upm.es](mailto:jose.miranda@upm.es)



## TFM con posibilidad de *intership*

### “Tiny-VLA”: Visión, Lenguaje y Acción en tiempo real sobre STM32N657

#### Descripción:

Este TFM propone el diseño e implementación de un agente Vision-Language-Action (VLA) embebido capaz de convertir imágenes e instrucciones en lenguaje natural en acciones de control en tiempo real sobre la plataforma STM32N657x0, llevando al extremo embebido conceptos actuales de robótica multimodal revisados en la literatura VLA. El trabajo explotará las capacidades del microcontrolador, como su Cortex-M55 a 800 MHz, 4.2 MB de SRAM, Helium, el acelerador ST Neural-ART de hasta 600 GOPS, el ISP para procesamiento de cámara y mecanismos de seguridad como TrustZone y secure boot, para construir un sistema eficiente de Edge AI orientado a robótica ligera y sistemas inteligentes. El objetivo no será ejecutar un modelo gigante, sino demostrar que es posible desarrollar un VLA pequeño, optimizado y medible en hardware real, evaluando compromiso entre latencia, consumo, memoria, robustez y capacidad de acción multimodal.



life.augmented

---

Coordinador(es): Jose Miranda  
e-mail de contacto: jose.miranda@upm.es

---

**Asociado a beca en el marco de un proyecto europeo.**

**TFG/TFM**

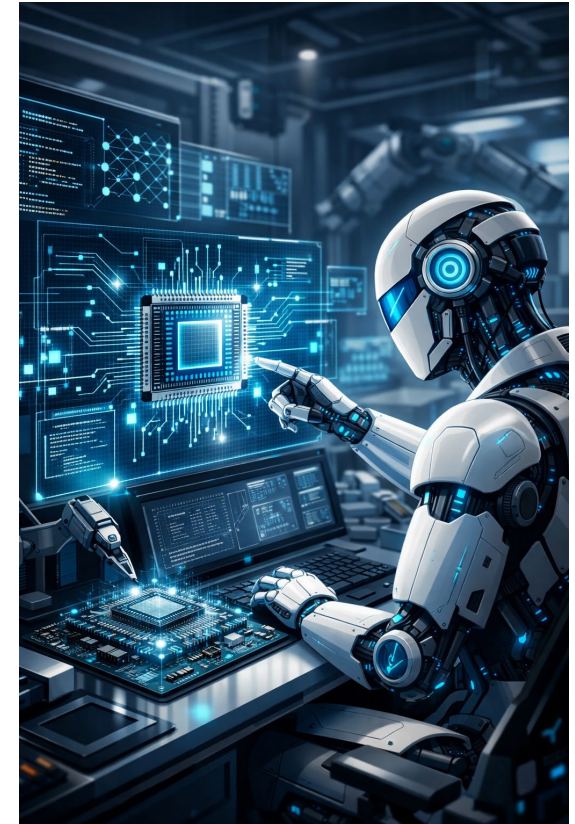
## ChatGPT diseñando chips: ¿realidad o ficción?

### Descripción

Los Large Language Models (LLMs), como ChatGPT, están cambiando la forma en que los ingenieros interactúan con sistemas complejos. Este TFM explorará cómo estas herramientas pueden asistir en el diseño de chips, ayudando a generar código (VHDL/SystemVerilog), a analizar y explorar arquitecturas, así como a realizar tareas de verificación y documentación.

En este trabajo de fin de grado o máster (la dificultad y extensión se adaptarán al nivel), el estudiante trabajará con herramientas modernas de diseño de chips y arquitecturas abiertas como RISC-V, así como LLMs open source, para desarrollar un flujo asistido por IA generativa como asistentes en el proceso de diseño.

Se trata de un trabajo ideal para estudiantes interesados en arquitectura de computadores, diseño digital y aplicaciones de IA en ingeniería. No se requiere experiencia previa con LLMs.



---

Coordinador(es): Andrés Otero / Jose Miranda  
e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

---



**Requirements: Digital design in VHDL, C Programming**

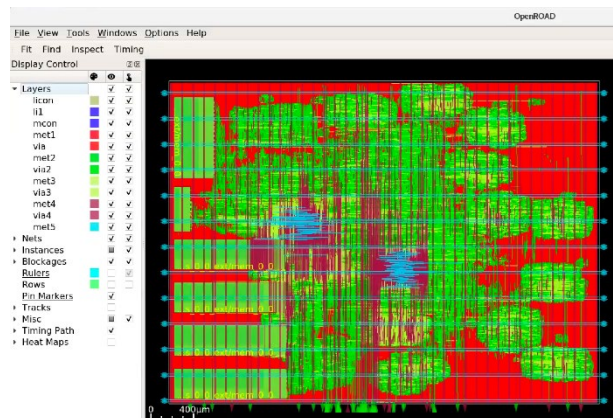
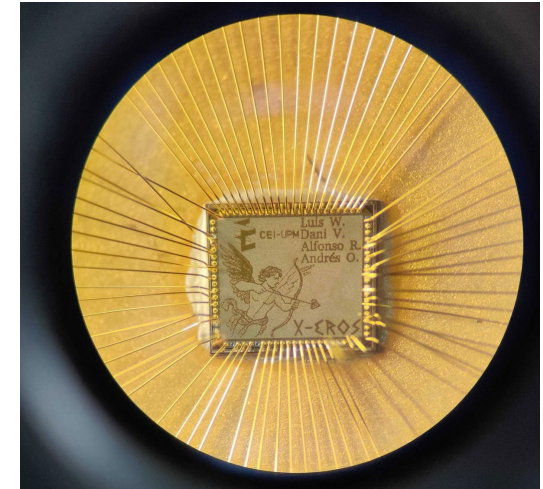
Asociado a beca en el marco de un proyecto europeo.

**TFG/TFM**

## Desarrollo de un chip basado en hardware abierto con herramientas open source

### Descripción

El objetivo de este TFG/TFM es explorar hasta qué punto es posible diseñar un chip utilizando exclusivamente herramientas abiertas. Para ello se estudiará el ecosistema actual de herramientas EDA open source y se aplicará a un flujo completo de diseño basado en RISC-V. El trabajo incluirá la evaluación de herramientas como Yosys para síntesis, OpenROAD para el diseño físico y herramientas abiertas de simulación, con el fin de implementar y analizar un pequeño sistema hardware. El proyecto permitirá valorar las capacidades, limitaciones y madurez actual de los flujos de diseño de chips basados en software libre.



---

Coordinador(es): Andrés Otero / Alfonso Rodriguez  
e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

---

Requirements: Digital design in VHDL, C Programming

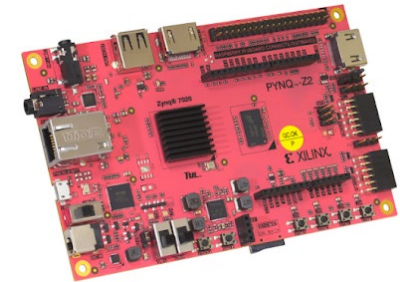
**Asociado a Contrato Laboral en el marco de la Cátedra.**

**TFG/TFM**

## Design Hardware Accelerators for signal processing in Defense Applications

### Descripción

Traditionally, digital signal processing has been carried out either on specially designed processors for this purpose (known as *DSPs*) or on specific accelerators (which implement a chain of algorithms in dedicated hardware). In this project, we aim to use a Sargantana RISC-V processor as an alternative for deploying digital signal processing algorithms with some level of domain-specific customization. The possibility of using custom extensions of the instruction set for this purpose will also be evaluated.



Cátedra UPM-INDRA en  
Microelectrónica

**indra**



**R** Plan de Recuperación,  
Transformación  
y Resiliencia

 **Financiado por  
la Unión Europea**  
NextGenerationEU



**Requirements: Digital design in VHDL, C Programming**

**Coordinador(es): Andrés Otero / Rodrigo Olmos**  
e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

**Asociado a Contrato en el marco de la Cátedra UPM-Indra**

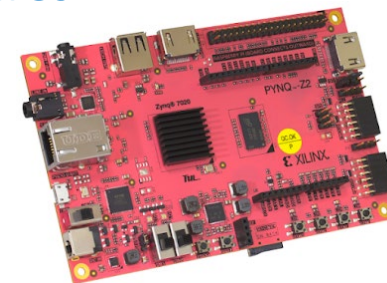
**TFG/TFM**

## Hardware-Accelerated Fast Fourier Transform (FFT) for Radar Signal Processing in Defense Applications. Integration in RISC-V Multicore Architectures

### Descripción

Modern Radar systems require the real-time processing of large volumes of data under strict performance, latency, and reliability constraints. One of the most computationally demanding operations is the Fast Fourier Transform (FFT).

This project aims to design and evaluate a hardware-accelerated **Fast Fourier Transform integrated into a RISC-V multicore architecture**, leveraging the advantages of open hardware to achieve high performance, flexibility, and long-term technological sovereignty. The proposed solution will explore tight coupling between the dedicated FFT accelerator and multiple RISC-V processor cores, enabling efficient workload distribution, low-latency data exchange, and scalable parallel processing for radar signal processing tasks. The platform will support realistic radar processing workloads and allow the evaluation of different architectural integration strategies.



Cátedra UPM-INDRA en  
Microelectrónica

**indra**



Plan de Recuperación,  
Transformación  
y Resiliencia

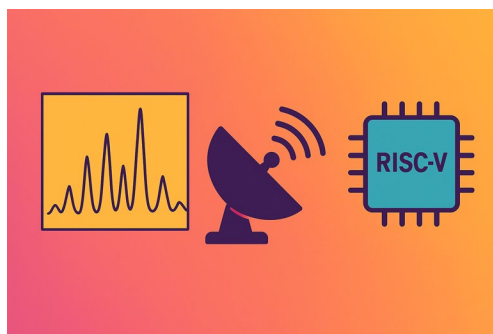


Financiado por  
la Unión Europea  
NextGenerationEU



GOBIERNO  
DE ESPAÑA

MINISTERIO  
PARA LA TRANSFORMACIÓN DIGITAL  
Y DE LA FUNCIÓN PÚBLICA



**RISC-V**<sup>®</sup>



Coordinador(es): Andrés Otero

e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

**Requirements: Digital design in VHDL / SystemVerilog,  
C Programming**

**Asociado a Contrato de Máster en el marco de la Cátedra.**

**TFG/TFM**

## Integration of Time and Space Partitioning capabilities on a RISC-V core using a BAO 2.0 Hypervisor for mixed-critical embedded SW.

### Descripción

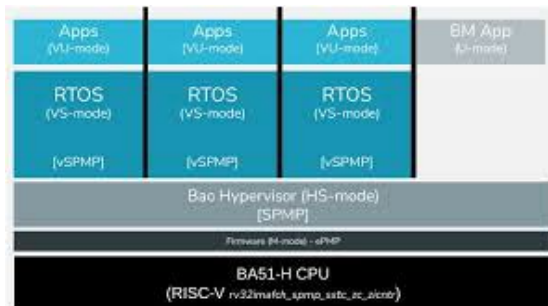
Modern embedded systems increasingly integrate applications with different levels of criticality within the same hardware platform. In domains such as aerospace, automotive, and defense, it is essential to ensure strong isolation and predictability between software components. Time and space partitioning techniques allow multiple workloads to safely share computing resources while guaranteeing temporal and spatial separation.

This project focuses on the integration and evaluation of time and space partitioning mechanisms on a RISC-V platform using the Bao 2.0 hypervisor, a lightweight open-source hypervisor designed for embedded and safety-critical systems. The student will explore the architecture of the hypervisor, deploy it on a RISC-V platform, and analyze how it can support mixed-critical workloads with strong isolation and deterministic behavior. The project offers hands-on experience with RISC-V architectures, virtualization technologies, and embedded systems for safety-critical applications.



Cátedra UPM-INDRA en  
Microelectrónica

**indra**



**RISC-V**<sup>®</sup>

**Plan de Recuperación,  
Transformación  
y Resiliencia**

Financiado por  
la Unión Europea  
NextGenerationEU



**Requirements: Digital design in VHDL, C Programming**

Coordinador(es): Alfonso Rodríguez / Andrés Otero  
e-mail de contacto: [alfonso.rodruiguez@upm.es](mailto:alfonso.rodruiguez@upm.es)

**Asociado a Contrato Laboral en el marco de la Cátedra.**

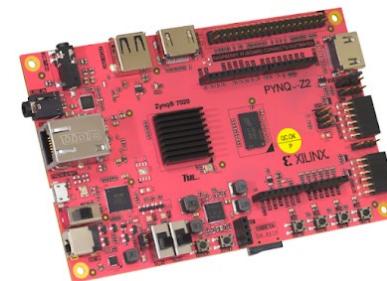
**TFG/TFM**

## Evaluation of a D2D full-digital standard for Chiplets in Defense Applications

### Descripción

The semiconductor industry is moving toward chiplet-based architectures, in which complex systems are built by integrating multiple smaller, specialized chips within a single package. This approach enables higher modularity, design reuse, and greater technological flexibility. Efficient **Die-to-Die (D2D)** interfaces are essential to allow high-speed communication between chiplets.

This TFG/TFM aims to analyze and evaluate a full-digital D2D standard for chiplet interconnection, studying its architecture, performance, and potential use in defense applications. The student will investigate the standard and develop models or evaluations to analyze aspects such as performance, latency, and scalability in modular systems.



Cátedra UPM-INDRA en  
Microelectrónica

**indra**



**R** Plan de Recuperación,  
Transformación  
y Resiliencia

Financiado por  
la Unión Europea  
NextGenerationEU



**Requirements: Digital design in VHDL, C Programming**

Coordinador(es): Andrés Otero /Iñigo Diez de Ulzurrun

e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

**Asociado a beca en el marco de un proyecto industrial.**

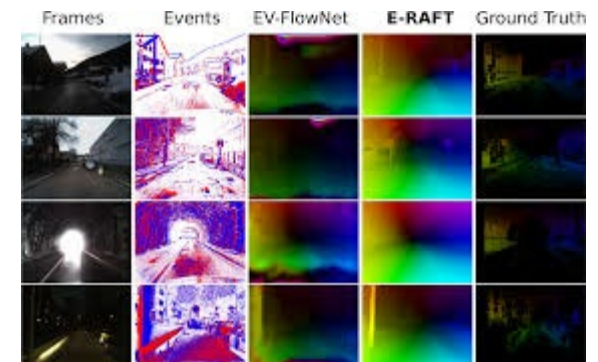
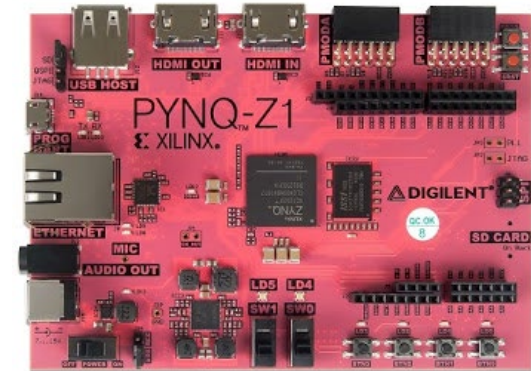
**TFG/TFM**

## Event-based visión for Automotive and UAV Applications

### Descripción

Event-based vision sensors, such as those developed by Prophesee, represent a new paradigm in computer vision. Unlike conventional cameras that capture full frames at fixed intervals, event-based cameras detect changes in brightness asynchronously at the pixel level, enabling extremely low latency, high dynamic range, and very low power consumption. These characteristics make them especially suitable for high-speed and embedded applications such as autonomous driving, robotics, and UAV navigation.

The objective of this project is to develop and demonstrate an event-based vision processing system using a Prophesee sensor and an FPGA platform. The student will set up the camera, acquire event streams, and implement basic processing algorithms on FPGA to build a demonstrator relevant to automotive or UAV scenarios (e.g., motion detection, object tracking, or high-speed perception). The project will allow students to work with cutting-edge neuromorphic vision technology, combining embedded systems, FPGA development, and real-time vision processing.



Coordinador(es): Andrés Otero / Juan Encinas  
e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

**Asociado a beca en el marco de un proyecto industrial.**

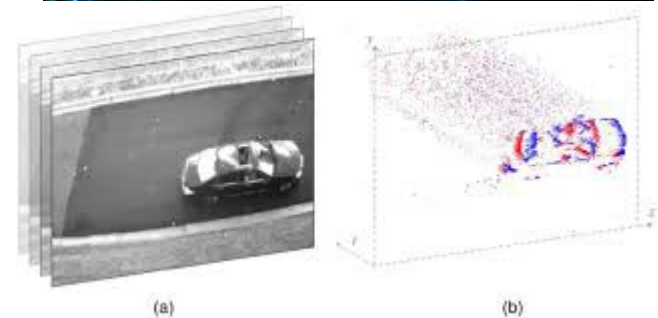
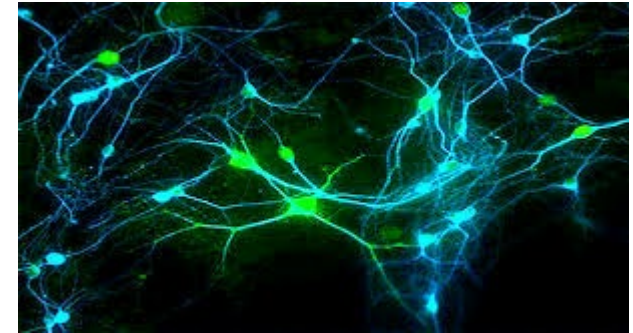
**TFG/TFM**

## **Evaluación del uso de arquitecturas neuromórficas y sensores basados en eventos para el procesamiento de señal en el ámbito de la computación autónoma.**

### **Descripción**

Las arquitecturas neuromórficas son sistemas de cómputo diseñados para imitar el funcionamiento del cerebro humano, siendo capaces de realizar tareas de procesamiento de la información de forma más rápida y eficiente que las arquitecturas convencionales, basadas en la lógica digital y procesamiento secuencial. Si las comparamos con las redes neuronales artificiales, arquitecturas neuromórficas como las *Spiking Neural Networks* ofrecen un consumo energético mucho menor mediante el uso del concepto de eventos, lo que las lleva a ser consideradas como una tecnología clave para el futuro de la inteligencia artificial.

En este sentido, en este Trabajo Fin de Grado se plantea investigar en el uso de arquitecturas neuromórficas para aplicaciones del ámbito aeroespacial, como las comunicaciones digitales. En el trabajo se abordará el desarrollo de los algoritmos de entrenamiento, así como del caso de uso sobre el simulador LAVA. Posteriormente se pasará al uso de dispositivos FPGA para evaluar arquitecturas compatibles con el simulador.



---

**Coordinador(es):** Andrés Otero / Juan Encinas  
e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

---

**Requirements: Digital design in VHDL / SystemVerilog,  
C Programming, Neural Networks**

**Asociado a beca en el marco de un proyecto industrial.**

**TFG/TFM**

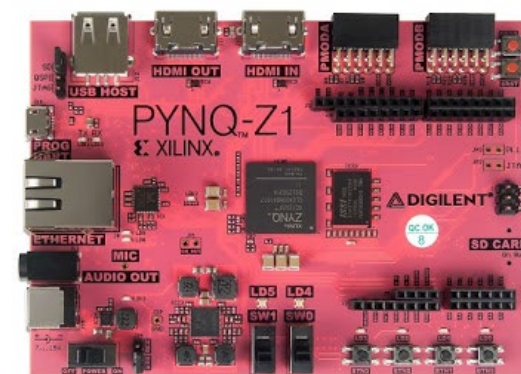
## Integration of custom IPs for deterministic ethernet communications on a RISC-V processor

### Description

Industrial sectors, such as automotive or avionics, require of communication standards and interfaces providing high-levels of determinism and guaranteeing the performance of the communications. In this context, two communication standards emerge as alternative: Time-sensitive Networking (TSN) and Time-triggered Ethernet (TTE).

This project aims at develop, evaluate, and integrate custom digital accelerators (in VHDL or SystemVerilog), to enabling deterministic communications in connected embedded systems. These modules will be tightly coupled with a RISC-V processor, acting as the system master.

**RISC-V®**



**Requirements: Digital design in VHDL, C Programming**

Coordinador(es): Andrés Otero /Juan Encinas

e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)

## Spiking RISC-V extensions and CGRA mapping for Spiking Neural Networks

### Description

Neuromorphic architectures are computing systems designed to mimic the functioning of the human brain, capable of performing information processing tasks more quickly and efficiently than conventional architectures based on digital logic and sequential processing. When compared to artificial neural networks, neuromorphic architectures such as Spiking Neural Networks offer much lower energy consumption by employing the concept of events, making them considered a key technology for the future of artificial intelligence.

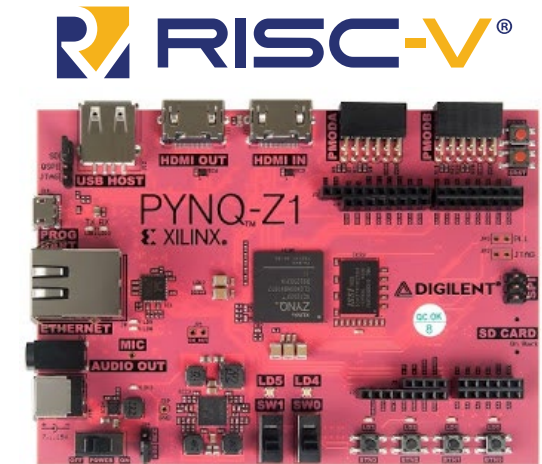
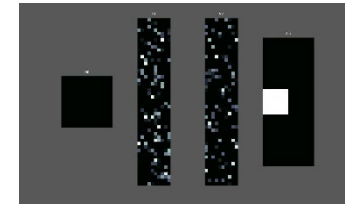
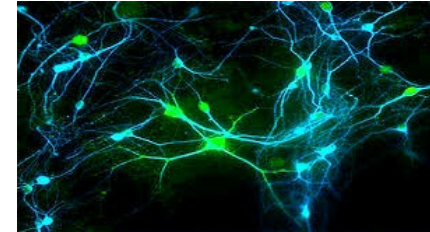
RISC-V is an open ISA specification that exhibits high flexibility due to its modular nature. Processor designers can take advantage of this to build custom processor cores and then extend the ISA with domain-specific hardware-accelerated operations.

This Project will address the development of RISC-V extensions (in the form of a custom Coarse-Grain Reconfigurable Array) to accelerate the implementation of neuromorphic operations in RISC-V processors.

**Requirements: Digital design in VHDL, C Programming, Python Programming**

Coordinador(es): Andrés Otero / Jose Luis Nuñez

e-mail de contacto: [joseandres.otero@upm.es](mailto:joseandres.otero@upm.es)



**Asociado a beca en el marco de un proyecto industrial.**

**TFG/TFM**

## Deep Learning Models for Intrusion Detection in Telecommunications Systems for Defense Applications

### Descripción

Modern telecommunications infrastructure is increasingly critical to defense and security operations. However, their growing complexity and connectivity make them vulnerable to sophisticated cyberattacks. Intrusion Detection Systems (IDS) based on Deep Learning offer powerful capabilities to automatically detect anomalous network behavior, identify cyber threats, and improve the resilience of communication networks.

This project focuses on the design and evaluation of **deep learning models for intrusion detection in telecommunications systems**, with a particular emphasis on defense-related scenarios. Students will work with real or simulated network traffic datasets, explore machine learning and deep learning techniques for anomaly detection, and analyze the performance of different models in detecting cyber threats. The project provides hands-on experience in AI for cybersecurity, data analysis, and intelligent network monitoring, addressing one of the most critical challenges in modern communication systems.



---

**Coordinador(es): Andrés Otero**

**e-mail de contacto: joseandres.otero@upm.es**

---

**Requirements: Digital design in VHDL, C Programming**

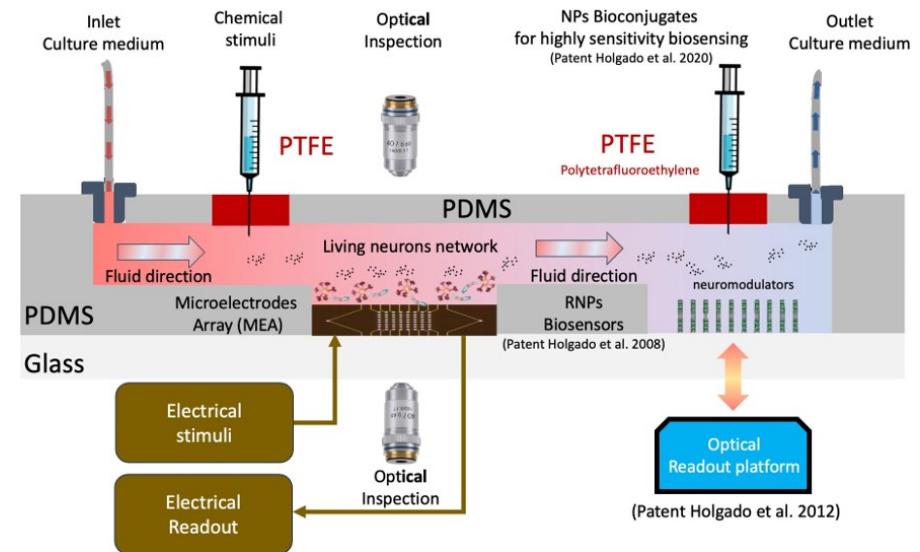
## Diseño de la interfaz electrónica para la estimulación y monitorización de circuitos neuronales (in vitro) en chip

TFG/TFM

### Descripción

En este proyecto se pretende evaluar el comportamiento de circuitos neuronales en chip bajo estímulos químicos y eléctricos. Estos resultados permitirán demostrar que esta tecnología es una herramienta de gran utilidad para avanzar en el conocimiento del comportamiento de redes biológicas como base para el desarrollo de implantes cerebrales o nuevos medicamentos.

En este trabajo se propone continuar con el desarrollo de la interfaz electrónica que permita la estimulación y monitorización eléctrica del sistema a través de un conjunto de microelectrodos.



Coordinador(es): Andrés Otero / Airán Francés  
e-mail de contacto: joseandres.otero@upm.es

# Verificación de una Unidad Matricial para procesadores RISC-V

## Descripción

En el desarrollo de sistemas digitales, la verificación es tan importante como el diseño y es indispensable para comprobar que lo diseñado responde a las especificaciones, permitiendo localizar posibles problemas en el diseño, detectar ambigüedades en las especificaciones y prevenir la introducción de errores en modificaciones futuras.

Este trabajo propone el diseño e implementación de la infraestructura de verificación para una unidad matricial que se conectará a un procesador RISC-V. Partiendo de unas especificaciones, se elaborará una serie de *testbenches* utilizando la funcionalidad de verificación del lenguaje *SystemVerilog*, posiblemente siguiendo la metodología *UVM* (*Universal Verification Methodology*).



Coordinador(es): Andrés Otero / Juan Granja  
e-mail de contacto: joseandres.otero@upm.es

Requirements: Digital design in VHDL (ideally SystemVerilog),  
C Programming, Basic PCB design

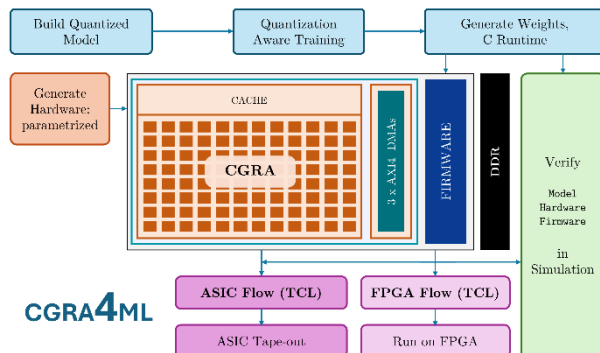
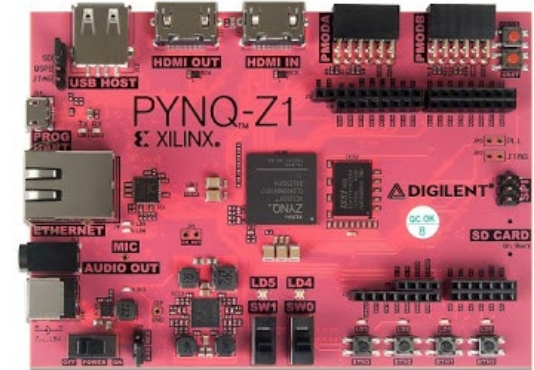
## TFG/TFM

# Evaluation of the CGRA4ML hardware framework for Transformer-based neural network acceleration

## Descripción

cgra4ml (<https://github.com/KastnerRG/cgra4ml>) is a Python library that helps researchers build, train, and implement their own deep ML models, such as ResNet CNNs, Autoencoders, and Transformers on FPGAs and custom ASIC.

In this project, the student will evaluate the cgra4ml framework to implement firstly small CNN-based autoencoders and then Transformer-based neural network models for applications in the area of anomaly detection and computer vision. The work will target FPGA devices and then progress to ASIC evaluation time permitting.



Coordinador(es): Jose Nuñez Yanez  
 e-mail de contacto: jose.nunez.yanez@upm.es

## Posibilidad de beca CEI Grants Program

TFG/TFM

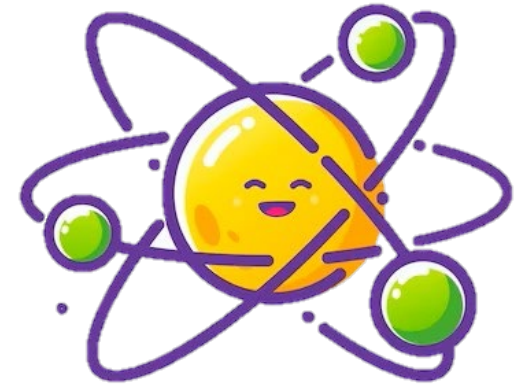
### Computación Cuántica para Diseño en Ingeniería Electrónica

#### Descripción

La computación cuántica ofrece nuevos paradigmas de procesamiento que podrían revolucionar la forma en que se abordan ciertos problemas complejos en ingeniería electrónica, como la optimización de diseños, la simulación de dispositivos o la resolución de sistemas complejos.

Este trabajo tiene como objetivo explorar el uso de algoritmos cuánticos en tareas relevantes del diseño electrónico, evaluando su aplicabilidad, ventajas y limitaciones frente a métodos clásicos. El estudiante trabajará con plataformas de computación cuántica accesibles en la nube (como Qiskit), aplicando modelos cuánticos a casos prácticos de interés en ingeniería electrónica.

Es una propuesta dirigida a quienes deseen iniciarse en tecnologías cuánticas con una orientación aplicada al campo del diseño y la innovación tecnológica.



---

**Coordinador(es): Jaime Señor**  
**e-mail de contacto: [jaimе.senors@upm.es](mailto:jaimе.senors@upm.es)**

---

## Posibilidad de beca

TFG/TFM

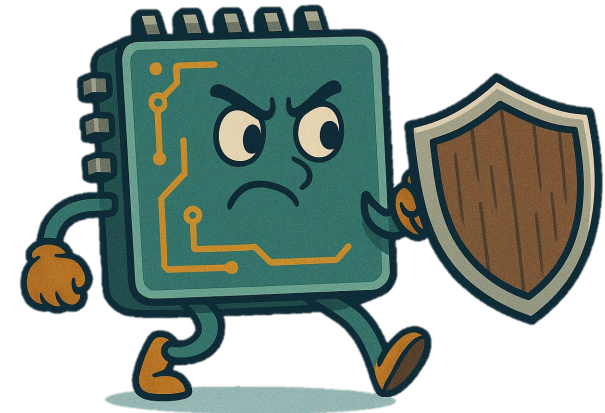
# Contra medidas ante Ataques de Canal Lateral en Microprocesadores RISC-V para Criptografía Post-Cuántica

## Descripción

La criptografía post-cuántica busca proteger la información frente a los futuros avances de la computación cuántica, pero su seguridad no depende únicamente de la solidez matemática: también debe resistir ataques físicos, como los ataques por canal lateral, que explotan fugas de información a través del consumo energético, el tiempo de ejecución o el electromagnetismo.

Este trabajo propone el análisis, diseño e implementación de contra medidas frente a ataques de canal lateral en plataformas basadas en microprocesadores RISC-V ejecutando algoritmos post-cuánticos. Se abordarán técnicas de protección tanto a nivel software como hardware, así como la evaluación de su efectividad mediante trazado y análisis de fugas.

El proyecto es ideal para estudiantes con interés en seguridad hardware, criptografía avanzada y arquitectura de sistemas embebidos.



---

Coordinador(es): Jaime Señor y Jorge Portilla  
e-mail de contacto: [jaime.senors@upm.es](mailto:jaime.senors@upm.es)

---

## Posibilidad de beca

## TFG/TFM

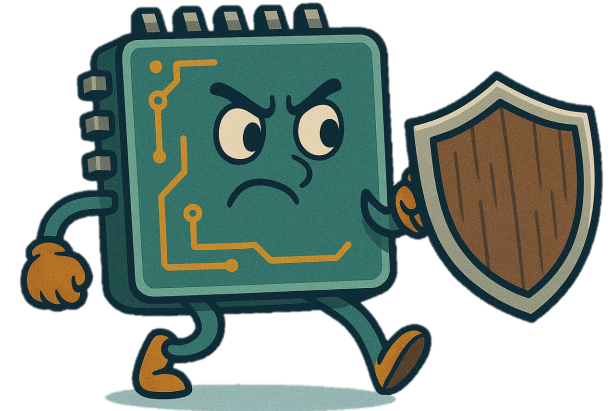
# Modificaciones Microarquitecturales para Enmascaramiento de Fugas en Criptografía Post-Cuántica sobre Microprocesadores RISC-V

## Descripción

La criptografía post-cuántica busca proteger la información frente a los futuros avances de la computación cuántica, pero su seguridad no depende únicamente de la solidez matemática: también debe resistir ataques físicos, como los ataques por canal lateral, que explotan fugas de información a través del consumo energético, el tiempo de ejecución o el electromagnetismo.

Este trabajo propone el diseño y evaluación de modificaciones en la microarquitectura de procesadores RISC-V orientadas a enmascarar fugas durante la ejecución de algoritmos criptográficos post-cuánticos. El estudiante trabajará con simuladores de arquitectura, entornos de co-diseño hardware/software y técnicas de evaluación de seguridad física.

El proyecto es ideal para estudiantes con interés en seguridad hardware, criptografía avanzada y arquitectura de sistemas embebidos.



---

**Coordinador(es):** Jaime Señor y Jorge Portilla  
**e-mail de contacto:** [jaime.senors@upm.es](mailto:jaime.senors@upm.es)

---

**TFG/TFM**

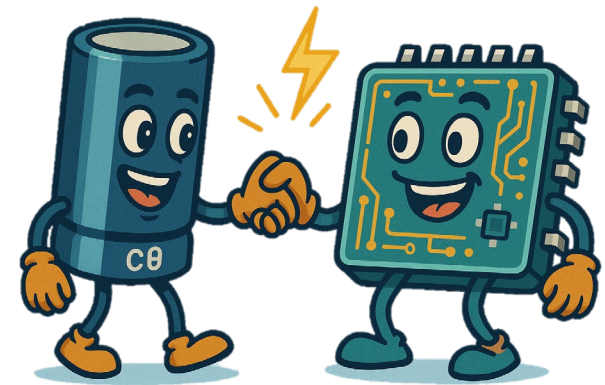
## Convertidores de Potencia para Enmascarar Fugas en Algoritmos Criptográficos

### Descripción

En sistemas embebidos, los algoritmos criptográficos pueden estar expuestos a ataques por canal lateral, que explotan variaciones en el consumo de energía para extraer información sensible. Una línea de defensa innovadora consiste en utilizar convertidores de potencia para enmascarar dichas fugas, introduciendo ruido controlado o modificando el perfil de consumo del sistema.

Este trabajo se centra en el estudio y diseño de convertidores de potencia con capacidades de modulación dinámica orientadas a proteger implementaciones criptográficas frente a ataques de canal lateral. El proyecto abarca desde el modelado del comportamiento energético hasta la implementación práctica del convertidor y la evaluación de su efectividad.

Es especialmente adecuado para estudiantes interesados en electrónica de potencia, seguridad hardware y diseño de sistemas seguros.



---

**Coordinador(es): Jaime Señor y Gabriel Maldonado**  
**e-mail de contacto: [jaimе.senors@upm.es](mailto:jaimе.senors@upm.es)**

---

TFG/TFM

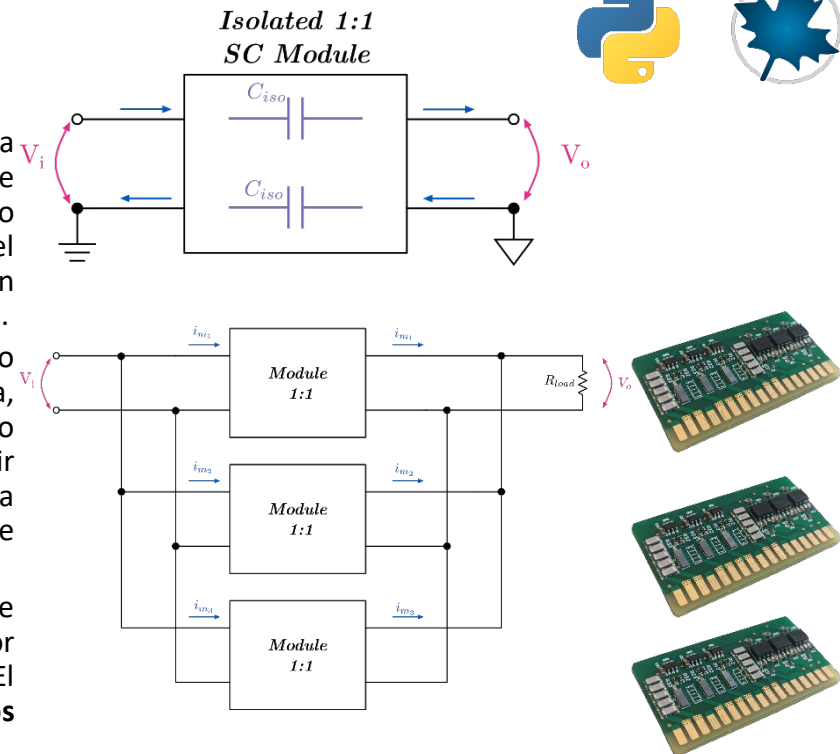
# High Fidelity Modelling for Reliability design in Capacitively Isolated Resonant Switched Capacitor converters.

## Descripción

En el diseño convencional de **convertidores**, el aislamiento se logra mediante transformadores magnéticos. Sin embargo, con la aparición de tecnologías avanzadas como **GaN y SiC**, se ha incrementado significativamente la frecuencia de conmutación, alcanzando rangos en el orden de los **MHz**. Sin embargo, los magnéticos limitan la implementación a estas frecuencias debido a múltiples efectos que aumentan sus pérdidas.

Ante este escenario, las topologías que no usan elementos magnéticos o reducir su uso facilitan una mayor integración y densidad de potencia, como por ejemplo los convertidores de **capacidades conmutadas**. Sumado a esto, el diseño de convertidores de manera **modular** permiten reducir aún más las pérdidas y aumentar la densidad efectiva, lo que permite una mayor integración en aplicaciones que requieren una alta densidad de potencia.

Este trabajo propone un análisis de fiabilidad de una topología de condensadores conmutados con **aislamiento capacitivo**, conformada por múltiples módulos, en el contexto de redes de distribución **DC-DC**. El objetivo es establecer **reglas de diseño robustas** e identificar los **puntos críticos del convertidor**.



### Conocimiento a desarrollar

Análisis de circuitos, simulación de circuitos, análisis matemático, programación, Maple.

Coordinador(es): Jaime Señor y Gabriel Maldonado

e-mail de contacto: [jaimeseñor@upm.es](mailto:jaimeseñor@upm.es),

[gl.maldonado.roldan@upm.es](mailto:gl.maldonado.roldan@upm.es)

## TFG/TFM

# Novel implementation of a Power Factor Correction circuit by Switched Capacitor Regulator for higher power density.

## Descripción

En el diseño convencional de **convertidores**, el aislamiento se logra mediante transformadores magnéticos. Sin embargo, con la aparición de tecnologías avanzadas como **GaN y SiC**, se ha incrementado significativamente la frecuencia de conmutación, alcanzando rangos en el orden de los **MHz**. Sin embargo, los magnéticos limitan la implementación a estas frecuencias debido a múltiples efectos que aumentan sus pérdidas.

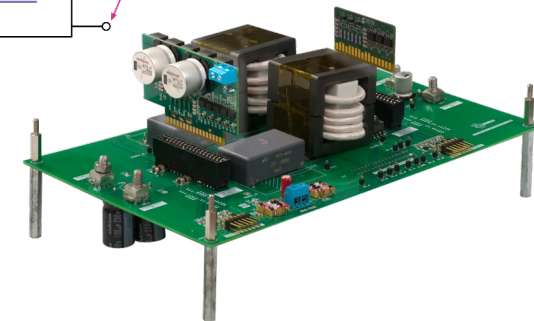
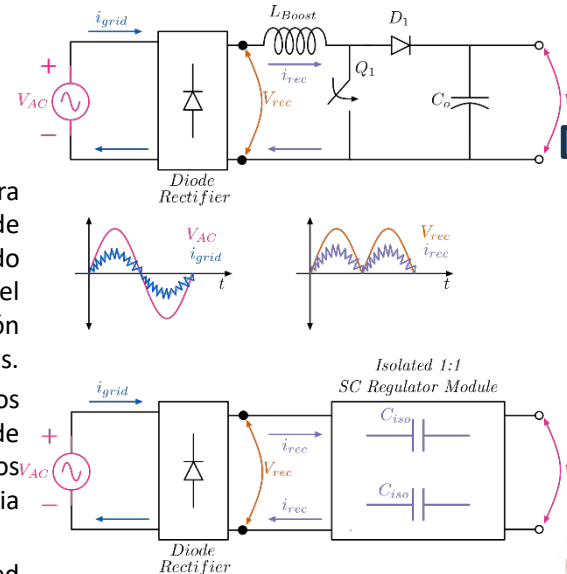
Ante este escenario, las topologías que permiten prescindir de elementos magnéticos o reducir su uso facilitan una mayor integración y densidad de potencia. Dado que los **condensadores** no sufren las mismas, los **convertidores de capacidades conmutadas** han adquirido gran relevancia en años recientes.

Los circuitos de **corrección del factor de potencia** son vitales en la red eléctrica para no producir ruido en los sistemas colindantes, por lo que son en el estándar en la primera etapa de **regulación** en un convertidor de potencia.

Se propone el desarrollo de un **topología de capacidades conmutadas** como etapa de corrección del factor de potencia, que permitirá la reducción del volumen a la vez que se consigue un factor de potencia dentro de los estándares.

### Conocimiento a desarrollar

Análisis de circuitos, simulación de circuitos, análisis matemático, programación



Coordinador(es): Miroslav Vasic y Gabriel Maldonado  
 e-mail de contacto: [miroslav.vasic@upm.es](mailto:miroslav.vasic@upm.es) ,  
[gl.maldonado.roldan@upm.es](mailto:gl.maldonado.roldan@upm.es)

**Asociado a Contrato de Máster en el marco de la Cátedra**

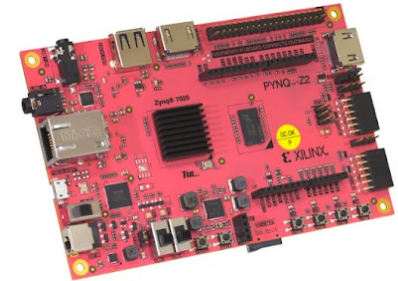
**TFM**

## Evaluation platform for fault injection and fault assessment in RISC-V-based systems-on-chip for space applications

### Descripción

Digital designs operating in space or other critical environments are typically subjected to radiation levels that can cause functional errors. In these situations, designs are "hardened" using design and/or implementation techniques and require additional testing and verification campaigns.

This project aims to create an FPGA-based evaluation platform to assess various fault tolerance mechanisms for systems with multiple RISC-V processors (e.g., modular redundancy, lockstep, ECC codes), using techniques for emulating functional and/or structural faults.



Cátedra UPM-INDRA en  
Microelectrónica

**indra**



Plan de Recuperación,  
Transformación  
y Resiliencia



Financiado por  
la Unión Europea  
NextGenerationEU



GOBIERNO  
DE ESPAÑA

MINISTERIO  
PARA LA TRANSFORMACIÓN DIGITAL  
Y DE LA FUNCIÓN PÚBLICA



**RISC-V®**

Coordinador(es): Alfonso Rodríguez / Luis Waucquez  
e-mail de contacto: [alfonso.rodruiguez@upm.es](mailto:alfonso.rodruiguez@upm.es)

**Requirements: Digital design in VHDL, C Programming**

Asociado a Beca de Máster (CEI Grants Program)

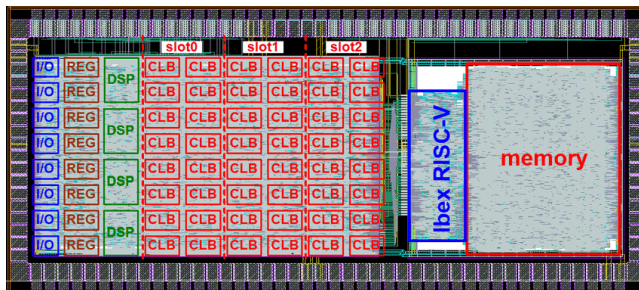
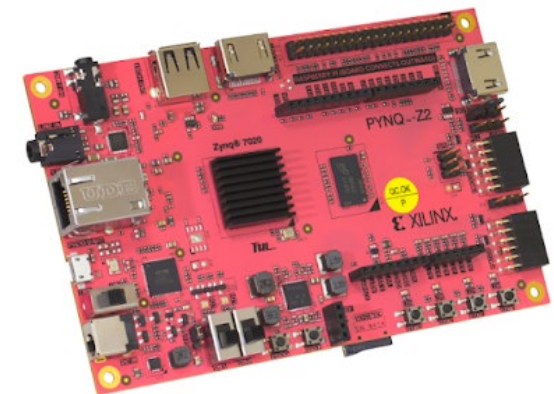
TFM

## Open-source embedded FPGA frameworks and tools for custom computing

### Descripción

FPGAs are typically referred to in the literature as a logic fabric that sits in between general-purpose CPUs and application-specific chips (ASICs), trying to keep the best of both worlds: the high performance from dedicated hardware, and the flexibility of software-programmable devices.

However, FPGAs cannot be used in certain domains that have very stringent requirements in terms of power consumption, where the energy efficiency of ASICs is needed. In such cases, a new trend is to use embedded FPGAs (eFPGAs), which are small run-time programmable IPs that can be implemented in silicon (i.e., as part of an ASIC). This project aims at evaluating an open-source framework to generate and prototype eFPGAs.



Requirements: Digital design in VHDL

Coordinador(es): Alfonso Rodríguez

e-mail de contacto: [alfonso.rodruiguez@upm.es](mailto:alfonso.rodruiguez@upm.es)